

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-160438

(43)Date of publication of application : 22.08.1985

(51)Int.Cl.

G06F 7/52

(21)Application number : 59-015621

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.01.1984

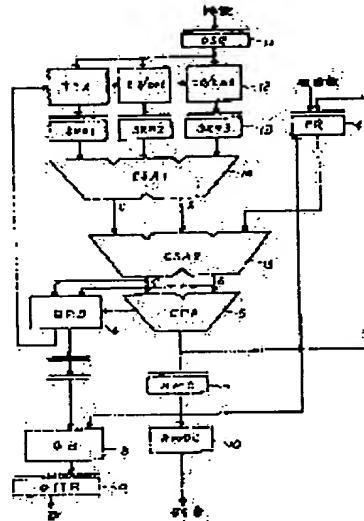
(72)Inventor : IKEDA MASAYUKI

## (54) DIVIDING DEVICE

### (57)Abstract:

**PURPOSE:** To decrease the number of multiple generating circuits for a high fundamental number non-recovery type divider which produces the quotient of (n) bits, by using multipliers and subtrahend registers less than (n) in the number of sets to constitute a carry foreseeing circuit and a multiple generating circuit of an adder.

**CONSTITUTION:** In a division of 4-bit unit, for example, three multipliers 12 which multiply and register the divisor set at a divisor register 11 are provided together with three subtrahend registers. The results of these multipliers and registers are added to the result of a partial residue register 4 to which the dividend is set by 3-input carry holding adders 14 and 15 and a carry transmitting adder 5. The result of this addition is supplied to the register 4 and at the same time the output of the adder 15 is supplied to a partial quotient estimating circuit 6 to decide the next input to be applied to the register 13. Thus the number of registers 13 can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
 ⑫ 公開特許公報 (A) 昭60-160438

⑨Int.Cl.<sup>1</sup>  
 G 06 F 7/52

識別記号 庁内整理番号  
 7056-5B

⑩公開 昭和60年(1985)8月22日

審査請求 有 発明の数 1 (全6頁)

④発明の名称 除算装置

②特 願 昭59-15621  
 ②出 願 昭59(1984)1月31日

⑦発明者 池田 正幸 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑦出願人 富士通株式会社 川崎市中原区上小田中1015番地  
 ⑦代理人 弁理士 松岡 宏四郎

明細書

1. 発明の名称

除算装置

2. 特許請求の範囲

1サイクルタイムで、ロビットの商を生成する高基數非回復型除算器であって、除数レジスタと、除数の倍数発生回路と、桁上げ先見回路を持つ加算器と、部分商予測器と、部分商発生器と、部分剰余レジスタと、剰余補正回路とから構成される除算装置において、上記倍数発生回路と、桁上げ先見回路とを、 $n$ より少ない複数の乗算器、及び減数レジスタと、1段、又は複数段の桁上げ保存加算器と、桁上げ先見回路を持つ加算器とで構成したことを特徴とする除算装置。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は、高基數非回復型除算器に係り、特に回路数を余り増加させないで、高速の除算を行うことができる除算装置に関する。

(b) 技術の背景

従来から、除算の1方式として、非回復型除算方式があるが、この方式においては、商の各桁を作成する際に使用される商の集合として、零を含まない符号付き商集合に着目して、該商集合から商の各桁を選ぶように制御される。

上記、符号付き商集合は、 $r$ を基數とすると、一般に、以下のように表される。

$(-(r-1), - (r-2), \dots, -1, +1, \dots, r-2, r-1)$

多くの演算器では、1ビット単位ではなく、“複数ビット”を単位に演算を行っており、これは2より大きな基數を使用していると考えることができる。

例えば、2ビット単位では、基數は4であり、3ビット単位であると基數は8となる。

一般には、 $m$ ビットの列は、 $r$ を基數とする $m$ 桁の数字と同じものであり、普通は、

$r = 2$  の  $m/m$  級

で与えられる。

非回復型除算の特徴は、演算結果の各桁を決定

する際に生ずる被除数の正負逆転をその様として、演算結果の桁に負数を許し、被除数の符号により、これに除数、或いは除数の倍数を加算、或いは減算する、所謂引き放し法である所にある。

具体的には、除数の  $k$  倍（即ち、 $-(-r-1)$ ,  $-(-r-2)$ , ...,  $-1$ ,  $+1$ , ...,  $r-2$ ,  $r-1$  倍）を減数レジスタに置数して置き、部分商予測器から出力される選択信号によって、上記減数レジスタを選択して、除数の  $k$  倍を加減算することを繰り返すことにより、商を求めてゆくものである。

上記除算方式において、前記複数ビットを単位として、演算を行う方式があり、高基數非回復型除算器として知られている。

この場合、前述のように演算単位となるビット数  $\alpha$  が大きくなると、基數が  $2^\alpha$  で増大していく為、繰り返し回数は減少するが、除数の倍数回路の複雑化、商の予測論理の精密化によって、回路数が著しく増大するという問題があり、効果的な除算方式が要望されていた。

よって、該除数の倍数データの 1 つを選択するように動作する。

上記 30 回通りの積を、30 個の乗算器で同時に作成して保持する代わりに、乗数を順次変えてゆき、複数回（但し、30 回以下）で 30 回通りの積を求めるも良いが、いずれにしてもかなりの回路量が必要となる。

今、除数レジスタ (DSR) 11 に除数が設定されると、上記のように、乗算回路 ( $\times (-15) \sim \times 15$ ) 1 において、非回復型除算に必要な  $k$  倍の乗算が演算され、減数レジスタ ( $-15DSR \sim +15DSR$ ) 2 に、それぞれ置数され、セレクタ (SEL) 3 に入力される。

同時に、部分剰余レジスタ (PR) 4 に被除数が設定されると、該被除数が部分商予測回路 (QPD) 5 に送出され、最上位の商を予測する予測信号によって、セレクタ (SEL) 3 によって、上記減数レジスタ ( $-15DSR \sim +15DSR$ ) 2 のいずれかが選択され、桁上げ伝搬加算器 (CPA) 5 に入力される。

#### (a) 従来技術と問題点

第 1 図に従来方式による、基數 16（即ち、4 ピットを単位とする除算）の場合の高基數非回復型除算回路をブロック図で示す。

図面において、1 は乗算回路 ( $\times (-15) \sim \times 15$ )、2 は減数レジスタ ( $-15DSR \sim +15DSR$ )、3 はセレクタ (SEL)、4 は部分剰余レジスタ (PR)、5 は桁上げ伝搬加算器 (CPA)、6 は部分商予測回路 (QPD)、7 は剰余レジスタ (RND)、8 は部分商発生器 (QC)、9 は部分商レジスタ (QTTR)、10 は剰余補正回路 (RNDC)、11 は除数レジスタ (DSR) である。

本従来方式においては、基數が 16 の場合、 $-15 \times$  除数、 $-14 \times$  除数、 $\dots$ 、 $-2 \times$  除数、 $-1$  除数、 $1 \times$  除数、 $2 \times$  除数、 $\dots$ 、 $14 \times$  除数、 $15 \times$  除数の 30 通りの除数の倍数データが必要であり、この 30 種類のデータを、予め乗算回路 ( $\times (-15) \sim \times 15$ ) 1 で作成して、減数レジスタ ( $-15DSR \sim +15DSR$ ) 2 に保持しておき、部分商予測回路 (QPD) 5 で生成された部分商予測信号に

桁上げ伝搬加算器 (CPA) 5 においては、上記部分剰余レジスタ (PR) 4 に設定されている被除数から、上記選択された減数レジスタ ( $-15DSR \sim +15DSR$  のいずれか) の値が減算され、その結果が部分剰余として、再び部分剰余レジスタ (PR) 4 に入力されると共に、剰余レジスタ (RND) 7 にも入力される。

以下、同じ動作を繰り返すことによって（但し、以降においての部分商予測は、部分剰余の値と、一つ前の部分商予測によって選択された減数レジスタ ( $-15DSR \sim +15DSR$  のいずれか) の値とによって行うことになる）、商を求めてゆくことになるが、本非回復型除算方式においては、上記演算過程において発生した部分剰余が、部分商予測回路 (QPD) 5 で発生した予測値によっては、負数となることがあり、該部分商の符号ビット S と、その時の部分商予測回路 (QPD) 5 の出力信号（即ち、予測値に基づく商）とを用いて、部分商発生器 (QC) 8 において、正しい商を計算し、部分商レジスタ (QTTR) 9 にセットする。

同時に、この時の剰余レジスタ（RMD）7にも、負数の剰余が格納されているので、剰余補正回路（RMDC）10において、補正して正しい剰余を生成するように動作する。具体的には、上記符号ビットSが負数を示している時には、2の倍数を取って剰余とし、正数の時には、その値の値を剰余とするように動作する。

上記動作によって、4ビットの商が得られるが、この動作を必要な回数だけ繰り返すことによりNビット（即ち、 $N/4$ 回繰り返す必要がある）の商を得ることができる。

尚、この場合の剰余については、上記必要な演算を繰り返し、求める商を得た時点で、或いは最終の演算とオーバラップさせて、剰余レジスタ（RMD）7の値を補正することになる。

以上、従来方式による高基數非回復型除算の方法を、4ビット単位の除算を例として説明したが、前述のように演算単位が大きくなるに従って、基數が増大し、除数の倍数回路が多くなると共に複雑化し、更に商の予測論理を精密にする為に、回

路数が著しく増大するという問題があった。

#### (a) 発明の目的

本発明は上記従来の欠点に鑑み、高基數非回復型除算回路の除数の倍数発生回路を比較的少數の回路で構成することを目的とするものである。

#### (b) 発明の構成

そしてこの目的は、本発明によれば、1サイクルタイムで、nビットの商を生成する高基數非回復型除算器であって、除数レジスタと、除数の倍数発生回路と、桁上げ先見回路を持つ加算器と、部分商予測器と、部分商発生器と、部分剰余レジスタと、剰余補正回路とから構成される除算装置において、上記倍数発生回路と、桁上げ先見回路とを、nより少ない複数の乗算器、及び減数レジスタと、1段又は複数段の桁上げ保存加算器と、桁上げ先見回路を持つ加算器とで構成することによって達成され、高基數非回復型除算回路を、基數がある程度大きい場合についても、実用的な回路量で実現できる利点がある。

#### (c) 発明の実施例

本発明の主旨を要約すると、本発明は、nビット単位で商を生成する高基數非回復型除算回路において、除数の倍数発生回路と、桁上げ先見回路とを、nより少ない複数の乗算器、及び減数レジスタと、1段又は複数段の桁上げ保存加算器と、桁上げ先見回路を持つ加算器とで構成し、高基數非回復型除算回路を、実用的な素子数で実現するようにしたものである。

以下本発明の実施例を図面によって詳述する。第2図は本発明の一実施例をブロック図で示したものであり、第3図は本発明を実施するのに必要な減数レジスタと、部分商予測信号との組み合わせ例を示す図であり、第4図は本発明の他の実施例をブロック図で示した図である。

第2図において、11, 4～10は、第1図で説明したものと同じものであり、12は補数回路と、シフタで構成される乗算器（ $\pm 1 \times$ ,  $\pm 2/\pm 4 \times$ ,  $\pm 8/\pm 16 \times$ ）で、+側の乗算はシフトのみで達成し、-側の乗算は補数をとってシフトすること

で達成する。13は減数レジスタ（SR#1, SR#2, SR#3）、14, 15は3入力桁上げ保存加算器（CSA1, CSA2）で、Cはキャリー信号、Sは和信号を示している。

本実施例においては、減数レジスタ（従来方式の減数レジスタ（+15DSR～-15DSR）2相当）（SR#1～#3）13を、演算単位のビット数4より少ない3個で構成し、それと部分剰余レジスタPR4との4個のレジスタを、3入力桁上げ保存加算器14, 15の2個で加算するようにしている所に特徴がある。

今、除数レジスタ（DSR）11に除数が設定され、部分剰余レジスタ（PR）4に被除数が設定されると、被除数が3入力桁上げ保存加算器（CSA2）15を通して、部分商予測回路（QPD）6に入力され、最上位の商を予測する信号が出力される。該予測信号は、除数レジスタ（DSR）11の出力が、乗算器（ $\pm 1 \times$ ,  $\pm 2/\pm 4 \times$ ,  $\pm 8/\pm 16 \times$ ）12で乗算される複数のルートを選択して、いずれかの出力をセレクトし、減数レジスタ（SR#1, SR#2

2, SR#3) 13にセットする。

続いて、4つの入力信号である(SR#1, SR#2, SR#3) 13の出力と、部分剰余レジスタ(PB) 4の出力とが、3入力桁上げ保存加算器(CSA1, CSA2) 14, 15の2段及び、桁上げ伝搬加算器(CPA) 5を用いて加算され、その結果は再び部分剰余レジスタ(PB) 4に入力される。

3入力桁上げ保存加算器(CSA2) 15の出力(C, S)は部分商予測回路(QPD) 6に入力され、次に選択すべき3種類の減数レジスタ(SR#1, SR#2, SR#3) 13への入力を決定するように動作する。

上記、部分商予測信号(-15, -14, ..., -1, +1, ..., +14, +15)と、減数レジスタ(SR#1, SR#2, SR#3) 13との組み合わせの例を第3図〔但し、部分商予測信号が正数の場合は、各減数レジスタ(SR#1, SR#2, SR#3) 13の符号を反転させる〕に示しているが、本発明によれば、従来例において必要であった30個の減数レジスタ(-15DSR ~ +15DSR) 2が、3個の減数レジス

タ(SR#1, SR#2, SR#3) 13で事足りることが理解される。

本発明を、基數256(即ち、8ビット除算)の高基數非回復型除算回路に適用した例を第4図に示す。第2図の実施例と比較して、乗算器( $\pm 84 / \pm 128 \times$ ) 12を1個と、減数レジスタSR#4 13を1個と、3入力桁上げ保存加算器(CSA3) 16を1段増加させることにより、1サイクルタイムで8ビットの商を得ることができる。

#### (4) 発明の効果

以上、詳細に説明したように、本発明の除算装置は、1サイクルタイムで、nビットの商を生成する高基數非回復型除算器であって、減数レジスタと、減数の倍数発生回路と、桁上げ先見回路を持つ加算器(即ち、前記桁上げ伝搬加算器)と、部分商予測器と、部分商発生器と、部分剰余レジスタと、剰余補正回路とから構成される除算装置において、上記倍数発生回路と、桁上げ先見回路とを、nより少ない複数の乗算器、及び減数レジスタと、1段、又は複数段の桁上げ保存加算器と、

桁上げ先見回路を持つ加算器とで構成されるので、高基數非回復型除算回路の基數がある程度大きい場合についても、実用的な回路量で実現できる効果がある。

#### 4. 図面の簡単な説明

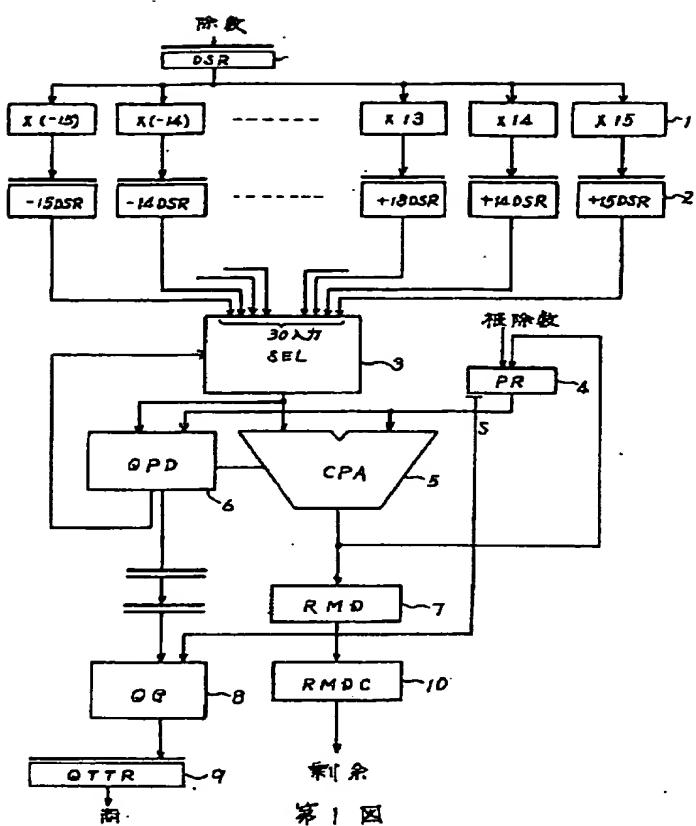
第1図は高基數非回復型除算回路の従来例をブロック図で示した図。第2図は本発明の一実施例をブロック図で示す図、第3図は本発明を実施するのに必要な減数レジスタと部分商予測信号との組み合わせの例を示す図。第4図は本発明の他の実施例をブロック図で示した図である。

図面において、1は乗算回路( $\times (-15) \sim \times 15$ )、2は減数レジスタ(-15DSR ~ +15DSR)、3はセレクタ(SBL)、4は部分剰余レジスタ(PB)、5は桁上げ伝搬加算器(CPA)、6は部分商予測回路(QPD)、7は剰余レジスタ(RMD)、8は部分商発生器(CG)、9は部分商レジスタ(GTR)、10は剰余補正回路(RMDC)、11は減数レジスタ(DSR)、12は乗算器( $\pm 1 \times, \pm 2 / \pm 4 \times, \pm 8 / \pm 16 \times, \pm 64 / \pm 128 \times$ )、13は減

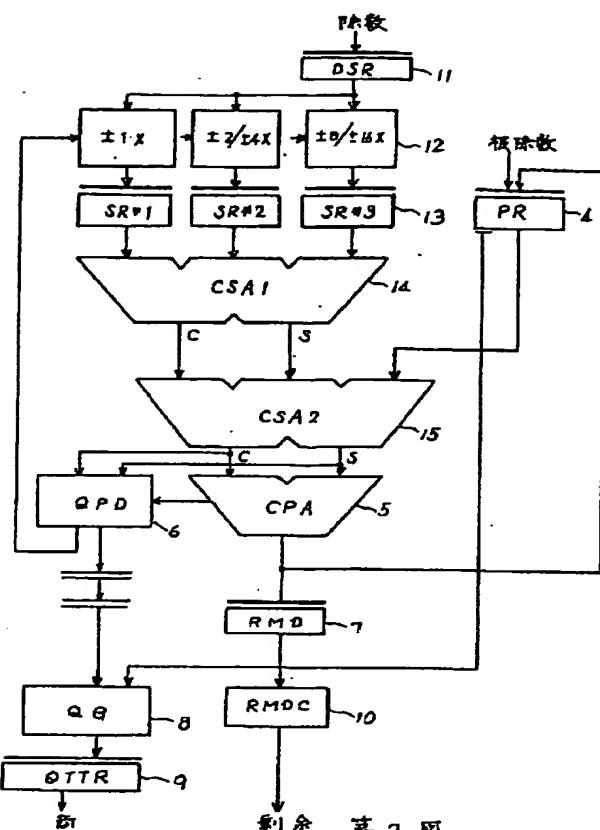
数レジスタ(SR#1, SR#2, SR#3, SR#4)、14~16は3入力桁上げ保存加算器(CSA1~CSA3)をそれぞれ示す。

代理人 弁理士 松岡宏四郎





第1図



剩余 第2図

部分荷子測信号	SR#3	SR#2	SR#1
-15	-16	+2	+1
-14	-16	+2	0
-13	-16	+2	+1
-12	-16	+4	0
-11	-8	-4	+1
-10	-8	-2	0
-9	-8	-2	+1
-8	-8	0	0
-7	-8	+1	
-6	-8	+2	
-5	-8	+2	+1
-4	0	-4	0
-3	0	-4	+1
-2	0	-2	0
-1	0	-2	+1
0	0	0	0

第3図

